

⑯ 日本国特許庁 (JP)

⑰ 特許出願公開

⑫ 公開特許公報 (A)

昭59—145537

① Int. Cl.<sup>3</sup>  
H 01 L 21/60  
23/48

識別記号

庁内整理番号  
6819—5F  
6819—5F

④ 公開 昭和59年(1984)8月21日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑤ 半導体装置

② 特 願 昭59—19922

② 出 願 昭55(1980)2月15日

(前実用新案出願日援用)

⑦ 発 明 者 吉田育生

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑦ 発 明 者 向喜一郎

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑦ 発 明 者 平野幹夫

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑦ 発 明 者 村松信一

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑦ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁  
目6番地

⑦ 代 理 人 弁理士 高橋明夫 外1名  
最終頁に続く

明 細 書

発明の名称 半 導 体 装 置

特許請求の範囲

1. 半導体基板上に、外部接続用の端子電極上の所定の位置にコンタクト用開孔部を有する絶縁被膜が設けられ、前記開孔を経て前記外部接続用の端子電極に接続し且つ該絶縁膜上に延在する任意パターンの金属配線が形成され、少なくとも1個の該金属配線上の任意の位置に2個以上の半田突起電極を有する半導体装置。

2. 前記半導体基板は少なくとも1個の回路素子を有し、且つ前記任意パターンの金属配線は該回路素子領域上の前記絶縁膜上に延在することを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

本発明は、半導体装置に関し、詳しくは半導体素子表面に形成した絶縁被膜の所定の領域にコンタクト窓を開孔した半導体基板上に形成した配線および半田突起電極を有する半導体装置に関する

ものである。一般に半導体素子の電極に半田の突起を形成し、素子を直接配線基板に接着させる方法(CCB法)がある。従来この構造は、素子の外部接続用の端子電極1個に半田突起電極(半田バンプ)が1個設けられている。しかしこの構造では、以下に述べる理由により高信頼性の半導体装置を得ることは極めて困難である。すなわち、半田バンプに高さむらがあるばかりでなく、ウェハ検査による半田バンプへの針圧により半田バンプが取れたり位置ズレを起こし、配線基板との接続に確実性がない。また、この構造では素子の放熱が充分でない。

そこで本発明は上述した欠点を補い、高信頼度の半導体装置を提供するものである。

一実施例を説明する。

所望の半導体素子が形成されたSi基板1上には、素子を覆う酸化シリコン(SiO<sub>2</sub>)等の絶縁膜2および外部接続用の端子電極4が形成され、その後外部接続用電極4上ならびに絶縁膜2上にコンタクト用開孔部を有するプラズマシリコンナ

イトライド等からなる絶縁被膜5を形成し、さらにTi層6、Cu層7、Cr層8等からなる絶縁被膜5を形成し、さらにTi層6、Cu層7、Cr層8等からなる多層導電膜を蒸着等周知の方法で所定の膜厚に被着する(第1図(a))。その後上記半導体基板表面上にポリイミド樹脂膜、ポリイミド・インソインドロキナゾリンジオン樹脂膜あるいはプラズマCVDにより被着したシリコンナイトライド等の絶縁膜9を形成し、通常のホテルレジスト処理およびエッチングにより該絶縁膜9の所定のパターンニングを行なう。次に再度ホテルレジスト処理を行ない半田パンプ形成位置11、12のみを開孔したホテルレジスト膜10を形成し、該ホテルレジスト膜10をマスクとしてCr層8を選択エッチする(第1図(b))。このとき半田パンプ形成位置は、第1図には11、12部分の2個である場合を示したが、本発明における半田パンプは、同一Cu配線上の任意の位置に所定の間隔をおいて少なくとも2個以上設けられる。また絶縁膜9は後述するようにCr配線8のエッチングマ

スク、Cr配線の保護膜、半田の濡れ防止としても用いられるものである。次にNi13、Sn14、Pb15をメッキ法によってそれぞれ所定に被着し電極を形成する(第1図(c))。その後ホテルレジスト膜10を除去し、次いで該絶縁膜9をホテルレジスト膜10を除去し、次いで該絶縁膜9をマスクに前記3層膜の配線導体をCr8、Cu7、Ti6の順にエッチングし、配線パターンを形成する(第1図(d))。最後に約350℃、10分の熱処理によって半田の突起電極16、17を形成する(第1図(e))。このときに前記絶縁膜9は半田16、17がCu7表に濡れることを防止することとなる。

本発明によれば、半導体基板表面に絶縁膜を介して、外部接続用端子電極から2個以上で所定の数の半田突起電極が形成可能となる。これにより同一の外部接続用電極から複数個の半田突起電極を得ることができる。また本構造によれば半導体基板と配線基板との接着強度が増すと共に、素子の放熱効果が良くなり、高信頼度の半導体装置を

得ることができる。

次に第2図により本発明の他の実施例を説明する。

所望の半導体素子が形成されたSi基板1上には、素子を覆う酸化シリコン(SiO<sub>2</sub>)膜等の絶縁膜2、素子間を相互接続するアルミニウム等の内部配線3および外部接続用電極4上にコンタクト用開孔部を有するプラズマシリコンナイトライド等からなる絶縁被膜5を形成し、さらにTi層6、Cu層7、Cr層8等からなる多層導電膜を蒸着等の方法で所定の膜厚に被着する(第2図(a))。以下の第2図(b)、(c)、(e)に示した作成方法は、実施例1で示した第1図(b)、(c)、(d)、(e)と同じ方法である。ここで本発明においては、半田パンプは、Si基板に形成した少なくとも1個の能動素子(例えば1a等)上に絶縁膜5を介して同一Cu配線上に任意の位置に所定の間隔をおいて少なくとも2個以上設けられる。

本発明によれば、半導体基板の能動素子領域上に絶縁膜を介して、外部接続用端子電極から2個

以上で所定の数の半田突起電極が形成可能となる。これにより、IC、LSI等のチップ面積を増大させることなく同一の外部接続用電極から複数個の半田突起電極を得ることができる。また本発明によれば半導体基板と配線基板との接着強度が増すと共に、素子の放熱効果が良くなり、高信頼度の半導体装置を得ることができる。

#### 図面の簡単な説明

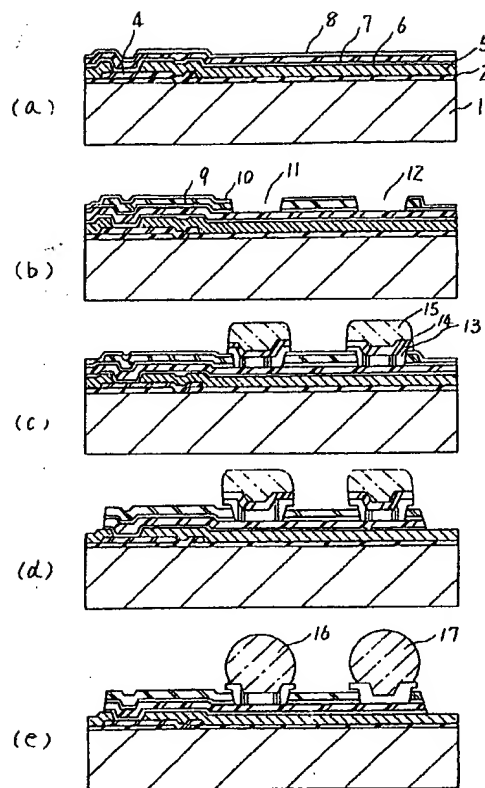
第1図(a)~(e)は本発明の一実施例における半導体装置の製造工程を示す工程図。第2図は(a)~(e)は本発明の他の実施例を示す工程である。

1…Si基板、1a…能動素子、2…絶縁膜、3…内部配線、4…外部接続用電極、5…絶縁被膜、6…Ti層、7…Cu層、8…Cr層、9…絶縁膜、10…ホテルレジスト膜、11、12…半田パンプ形成位置、13…Ni、14…Sn、15…Pb、16、17…半田突起電極。

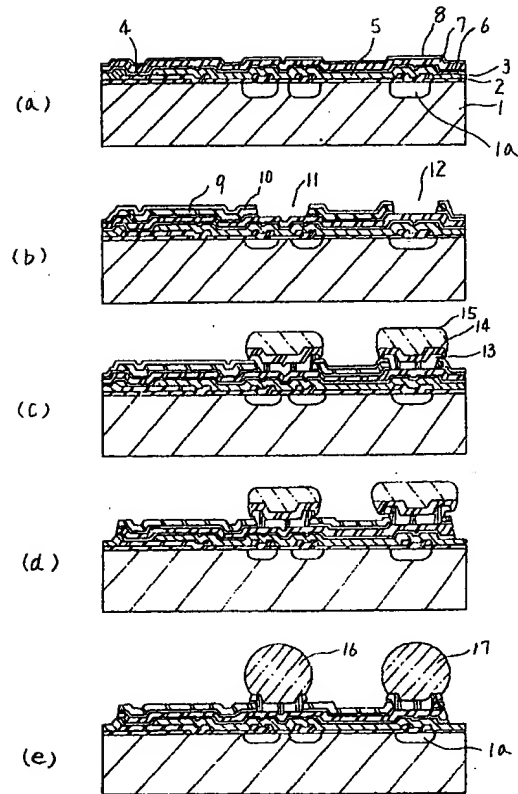
代理人 弁理士 高橋 明



第 1 図



第 2 図



第 1 頁の続き

⑦発 明 者 大路譲

国分寺市東恋ヶ窪 1 丁目 280 番  
地株式会社日立製作所中央研究  
所内

⑧発 明 者 高橋繁

国分寺市東恋ヶ窪 1 丁目 280 番  
地株式会社日立製作所中央研究  
所内

⑨発 明 者 平岩篤

国分寺市東恋ヶ窪 1 丁目 280 番  
地株式会社日立製作所中央研究  
所内

CLIPPEDIMAGE= JP359145537A  
PAT-NO: JP359145537A  
DOCUMENT-IDENTIFIER: JP 59145537 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 21, 1984

INVENTOR-INFORMATION:

NAME

YOSHIDA, IKUO  
MUKAI, KIICHIRO  
HIRANO, MIKIO  
MURAMATSU, SHINICHI  
OJI, YUZURU  
TAKAHASHI, SHIGERU  
HIRAIWA, ATSUSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP59019922  
APPL-DATE: February 8, 1984

INT-CL\_(IPC): H01L021/60; H01L023/48

ABSTRACT:

PURPOSE: To increase the reliability of the titled semiconductor device by a method wherein the prescribed number of solder bump electrodes, which is more than two, are formed from the terminal electrode for external connection on the active element region of a semiconductor substrate through the intermediary of an insulating film, thereby enabling to increase the adhesive strength between the semiconductor substrate and a wiring substrate and to improve the heat radiating efficiency of an element.

CONSTITUTION: An insulating film 5 consisting of plasma silicon nitride and the like, having a contact aperture part on an electrode for external connection and an insulating film 2, is formed and after a multilayer conductive film consisting of a Ti layer 6, a Cu layer 7, a Cr layer 8 and the

like has been coated thereon, an insulating film 9 such as silicon nitride and the like is formed, and a specific patterning is performed. At least two or more of solder bumps are provided at the arbitrary position on the same Cu wiring leaving the prescribed intervals. Then, Ni 13, Sn 14 and Pb 15 are coated on the prescribed position by performing a plating method, and after an electrode has been formed, a photoresist film 10 is removed, an etching is performed on the wiring conductor consisting of a triple film in the order of Cr 8, Cu 7 and Ti 6 using the insulating film 9 as a mask, and a wiring pattern is formed. Lastly, solder bump electrodes 16 and 17 are formed by performing a heat treatment.

COPYRIGHT: (C)1984,JPO&Japio